



Service des Ressources Humaines  
Délégation Bretagne et Pays de la Loire  
Formation Permanente

Action suivie par : Karine ROBIN  
E-mail : [karine.robin@cnrs.fr](mailto:karine.robin@cnrs.fr)

## Action Nationale de Formation

### " De la logique programmable aux processeurs intégrés "

23-27 octobre 2023

au Laboratoire de Physique des 2 infinis Irène Joliot-Curie - IJCLAB

Bâtiment 100, 15 rue Georges Clémenceau,  
Université Paris Saclay- 91405 ORSAY cedex

**Inscription :** <https://www.electroniciens.cnrs.fr/anf-fpga-soc-xilinx/>

Date limite d'inscription : 31/05/2023

#### Demi-journée n°1 : Introduction sur les FPGA

Cours : Introduction aux composants logiques programmables (FPGA/CPLD)

Cours : Introduction au langage VHDL

#### Demi-journée n°2 : Mise en œuvre d'un FPGA Artix

Cours : Méthodologie et introduction à la simulation fonctionnelle

Travaux Pratiques : 1er projet : Réalisation d'une horloge ; Simulation fonctionnelle

#### Demi-journée n°3 : Flux de synthèse, programmation et debug sur cible

Cours : Du flux de synthèse à la programmation sur cible

Cours : Présentation des outils de mesure et de « debug »

(Analog Discovery et ChipScope Pro Analyser)

Travaux Pratiques : Implémentation des outils de « debug » avec une carte Cmod A7 Digilent

#### Demi-journée n°4 : Projet Logique Programmable (PL) (contrôle hardware)

Travaux Pratiques : Du contrôle d'une LED au contrôle d'un moteur pas à pas avec une carte Cmod A7 Digilent et un script python pour modifier la fréquence

#### Demi-journée n°5 : Mise en œuvre d'un FPGA SOC Zynq

Cours : Présentation de l'architecture Zynq

Cours : Outils de développement pour Zynq et notion d'IPs

Démonstration : Arborescence d'IPs et philosophie de développement

#### Demi-journée n°6 : L'environnement de développement des SOC

Cours : Création du design sur VIVADO et exportation vers VITIS

Travaux Pratiques : Les incontournables (le terminal série et le contrôle des leds)

#### Demi-journée n°7 : Les périphériques et l'Analyseur Logique des SOC

Cours : Interface de communication SPI et outil Xilinx ILA (Integrated Logic Analyzer)

Travaux Pratiques : Implémentation d'un DAC/ADC avec le bus SPI

Visualisation des données sur PC via l'interface série

#### Demi-journée n°8 : Projet SOC (contrôle software)

Cours : Les possibilités d'interfaçage et avantage du processeur

Travaux Pratiques : Contrôle sur PC d'un moteur pas à pas dans l'environnement SOC avec une carte CORA Z7 Digilent.

Avec le soutien de la Mission pour les Initiatives Transverses et  
Interdisciplinaires et le réseau national des électroniciens du CNRS.



*Contacts* : [fabrice.wiotte@univ-paris13.fr](mailto:fabrice.wiotte@univ-paris13.fr), [Stephane.Letourneur@univ-lemans.fr](mailto:Stephane.Letourneur@univ-lemans.fr),  
[abderrahman.boujrad@ganil.fr](mailto:abderrahman.boujrad@ganil.fr), [christian.pertel@cemes.fr](mailto:christian.pertel@cemes.fr)